

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-116983

(43) 公開日 平成10年(1998) 5月6日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 S

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平8-270041

(22) 出願日 平成8年(1996)10月11日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 菊地 修一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 鈴木 ▲たく▼也

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

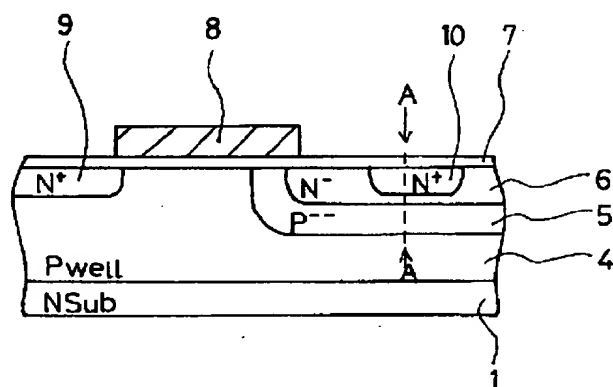
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 製造工程数の増大を招くことなく、高耐圧MOSトランジスタのトランジスタ性能の向上を可能とする半導体装置とその製造方法を提供する。

【解決手段】 半導体基板1内にヒ素イオン (75As⁺) とボロンイオン (11B⁺) をイオン注入し、同時に拡散することでP型ウェル4内に極低濃度のP⁻型拡散層5を形成し、続いて前記基板1上に低濃度のN⁻型ドレイン拡散層6をイオン注入により形成する。次に、前記基板全面にゲート絶縁膜7を介して前記ドレイン拡散層6上方にオーバーラップするゲート電極8を形成した後に、前記ゲート電極8の一端に隣接する高濃度のN⁺型ソース拡散層9と、前記ゲート電極8の他端から離間され、かつ前記低濃度のN⁻型ドレイン拡散層6に含まれる高濃度のN⁺型ドレイン拡散層10とをイオン注入により形成するものである。



8: ゲート電極

9: N⁺型ソース拡散層

10: N⁺型ドレイン拡散層

【特許請求の範囲】

【請求項1】 一導電型の半導体基板内に形成された逆導電型のウエル領域と、

前記ウエル領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の一端に隣接する高濃度の一導電型ソース拡散層と、

チャンネル領域を介して前記ソース拡散層と対向して形成された低濃度の一導電型ドレイン拡散層と、

前記ゲート電極の他端から離間され、かつ前記低濃度の一導電型ドレイン拡散層に含まれる高濃度の一導電型ドレイン拡散層と、

少なくとも前記ゲート電極から前記低濃度の一導電型ドレイン拡散層を包み込む領域に形成された極低濃度の逆導電型拡散層とを具備することを特徴とする半導体装置。

【請求項2】 一導電型の半導体基板内に一導電型の不純物と逆導電型の不純物を注入し、同時に拡散することで逆導電型のウエル領域内に極低濃度の逆導電型拡散層を形成する工程と、

前記基板上に低濃度の逆導電型ドレイン拡散層をイオン注入により形成する工程と、

前記基板全面にゲート絶縁膜を形成する工程と、

全面にポリシリコン膜を形成した後にパターニングして少なくとも前記ドレイン拡散層上方にオーバーラップするゲート電極を形成する工程と、

前記ゲート電極の一端に隣接する高濃度の逆導電型ソース拡散層と、前記ゲート電極の他端から離間され、かつ前記低濃度の逆導電型ドレイン拡散層に含まれる高濃度の逆導電型ドレイン拡散層とをイオン注入により形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 一導電型の半導体基板内に形成されたエピタキシャル層と、

前記エピタキシャル層内に形成された逆導電型のウエル領域と、

前記ウエル領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の一端に隣接する高濃度の一導電型ソース拡散層と、

チャンネル領域を介して前記ソース拡散層と対向して形成された低濃度の一導電型ドレイン拡散層と、

前記ゲート電極の他端から離間され、かつ前記低濃度の一導電型ドレイン拡散層に含まれる高濃度の一導電型ドレイン拡散層とを具備することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置とその製造方法に関するものであり、更に詳しく言えば、LC

Dドライバーに用いる高電源電圧(HV-VDD)用の高耐圧MOSトランジスタのトランジスタ性能の向上を図る技術に関する。

【0002】

【従来の技術】高耐圧MOSトランジスタは、例えば5V系の通常MOSトランジスタと同一チップ上に混載されている。以下で、従来例に係わる半導体装置について説明する。図7に示すLDD型高耐圧MOSトランジスタの断面図を参照しながら説明すると、N型の半導体基板(NSub)51内に形成されたP型ウエル52上にゲート絶縁膜53を介してゲート電極54が形成されている。そして、前記ゲート電極54の一端に隣接するようにN+型ソース拡散層55が形成されており、チャンネル領域56を介して前記ソース拡散層55と対向してN型ドレイン拡散層57が形成され、更にゲート電極54の他端から離間され、かつN型ドレイン拡散層57に含まれるようにN+型ドレイン拡散層58が形成されている。

【0003】

【発明が解決しようとする課題】しかしながら、前記トランジスタのP型ウエル52は、工程の増加を抑えるため、5V系MOSトランジスタ用のP型ウエルと同一工程で作成している。従って、P型ウエルは1種類しか持っていなかった。高耐圧MOSトランジスタ用のウエルは、降伏電圧を高くするために、ウエル濃度を低くし、拡散領域を深く形成する必要がある。

【0004】一方、5V系MOSトランジスタ用のウエルは、短チャンネル化のため、ウエルを高濃度とし、また、高集積化のため拡散領域を浅くする必要がある。従って、ウエルを1種類しか持たなければ最適化されたウエル濃度プロファイルとはならず、トランジスタ性能が制限される結果となっていた。従って、本発明では製造工程数の増大を招くことなく、高耐圧MOSトランジスタのトランジスタ性能の向上を可能とする半導体装置とその製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】そこで、本発明は一導電型の半導体基板内に一導電型の不純物と逆導電型の不純物をイオン注入し、同時に拡散することで逆導電型のウエル領域内に極低濃度の逆導電型拡散層を形成し、前記基板上に低濃度の逆導電型ドレイン拡散層をイオン注入により形成する。次に、前記基板全面にゲート絶縁膜を介して前記ドレイン拡散層上方にオーバーラップするゲート電極を形成した後に、前記ゲート電極の一端に隣接する高濃度の逆導電型ソース拡散層と、前記ゲート電極の他端から離間され、かつ前記低濃度の逆導電型ドレイン拡散層に含まれる高濃度の逆導電型ドレイン拡散層とをイオン注入により形成するものである。

【0006】また、本発明は一導電型の半導体基板内に形成されたエピタキシャル層内に形成された逆導電型の

3

ウェル領域と、該ウェル領域上にゲート絶縁膜を介して形成されたゲート電極の一端に隣接する高濃度の一導電型ソース拡散層と、チャンネル領域を介して前記ソース拡散層と対向して形成された低濃度の一導電型ドレイン拡散層と、前記ゲート電極の他端から離間され、かつ前記低濃度の一導電型ドレイン拡散層に含まれる高濃度の一導電型ドレイン拡散層とを具備するものである。

【0007】

【発明の実施の形態】以下、本発明の高耐圧MOSトランジスタの一実施例について、その製造方法を示す図面

10 【数1】

1200℃

$$D1 = 22.9 \exp(-4.1/kT) \rightarrow 2.14E-13 \text{ cm}^2/\text{s}$$

【0010】のヒ素イオン (75As+) をレジスト膜Aをマスクにしておよそ注入量 $3E12/\text{cm}^2$ 乃至 $1E13/\text{cm}^2$ の条件でイオン注入し、第1のイオン注入

を参照しながら説明する。尚、説明の便宜上、同一チップ上に形成される通常のMOSトランジスタの製造方法についての説明は省略するが、高耐圧MOSトランジスタの製造方法と平行して形成されるものである。

【0008】先ず、図1に示すように一導電型、例えば基板濃度 $1E15/\text{cm}^3$ (尚、 $1E15$ は1かける10の15乗の意であり、以下同様である。) 程度のN型の半導体基板 (NSub) 1に例えば拡散係数D1が

【0009】

【数1】

1200℃

領域2を形成すると共に、拡散係数D2が

【0011】

【数2】

1200℃

$$D2 = 0.76 \exp(-3.46/kT) \rightarrow 1.10E-12 \text{ cm}^2/\text{s}$$

【0012】のボロンイオン (11B+) をおよそ $1E13/\text{cm}^2$ の条件でイオン注入し、第2のイオン注入領域3を形成する。次に、およそ1200℃のN2雰囲気中で8時間の熱拡散を行い、前述したヒ素イオン (75As+) 及びボロンイオン (11B+) を同時拡散し、図2に示すように前記基板1内にP型ウェル4を形成すると共に、およそ $2E15/\text{cm}^3$ 程度の極低濃度のP型拡散層5を形成する (図5に示す基板の濃度プロファイルを参照)。このとき、図5において、前記工程によりイオン注入しておいたヒ素イオン (75As+) が一点鎖線 (1) に示すような濃度分布となり、一方ボロンイオン (11B+) が二点鎖線 (2) に示すような濃度分布となるように拡散される際に、両者により相殺される領域が発生する。この領域 (図中 (3) で示された領域) が、本発明の特徴であるP型ウェル4内に形成されるP型拡散層5となる。これにより、N型拡散層6とP型拡散層5の接合領域での接合耐圧が向上する。

【0013】続いて、例えばリンイオン (31P+) をおよそ注入量 $6E12/\text{cm}^2$ の条件でイオン注入し、これをおよそ1100℃で2時間熱拡散することにより、図3に示すように前記P型拡散層5内にN型ドレイン拡散層6 (図5の (4) の領域参照) を形成し、その後半導体基板1上の全面におよそ1000Åの膜厚のゲート絶縁膜7を形成する。

【0014】次に、全面に例えばポリシリコン膜を形成した後、当該ポリシリコン膜を周知のパターニング技術を用いてパターニングして、図4に示すように一端が前記N型ドレイン拡散層6上に延在するおよそ400Åの膜厚のゲート電極8を形成する。そして、図示しないレジスト膜をマスクにして例えばリンイオン (31P+) をおよそ加速電圧80KeV、注入量 $6E15/\text{cm}^2$ の条件でイオン注入し、前記ゲート電極8の一端に

20

30

40

50

隣接するN型ソース拡散層9と、該ゲート電極8の他端から離間され、かつ前記N型ドレイン拡散層6に含まれるN型ドレイン拡散層10 (図5の (5) の領域参照) とを形成する。

【0015】以上説明したように、本発明ではヒ素イオン (75As+) とボロンイオン (11B+) の拡散係数の差を利用して、5V系の通常のMOSトランジスタと同一工程で形成される高耐圧MOSトランジスタの高濃度ウェル中に前記N型ドレイン拡散層6を包み込むように極低濃度のP型拡散層5 (図5の濃度プロファイル参照) を形成したことで、電界緩和が可能となり、高耐圧MOSトランジスタ専用のウェル領域を形成する工程を増やすことなしに、当該MOSトランジスタに最適なトランジスタ性能を有する高耐圧MOSトランジスタを形成できる。

【0016】以下、本発明の他の実施の形態について説明する。本発明の他の実施の形態は、半導体基板上に単結晶層であるエピタキシャル層を形成することで、本発明を実現するものである。本発明の他の実施の形態の半導体装置は、図6に示すような構成である。即ち、図において、21は一導電型、例えばN型の半導体基板であり、該基板21にノンドープでエピタキシャル成長させたエピタキシャル層22が形成されている。また、前記エピタキシャル層22内にP型ウェル23が形成され、該P型ウェル23上にゲート絶縁膜24を介してゲート電極25が形成されている。そして、前記ゲート電極25の一端に隣接するようにN型ソース拡散層26が形成されており、チャンネル領域27を介して前記ソース拡散層26に対向してN型ドレイン拡散層28が形成され、更にゲート電極25の他端から離間され、かつN型ドレイン拡散層28に含まれるようにN型ドレイン拡散層29が形成されてなるものである。

5

【0017】尚、本発明の実施の形態としてN型の半導体基板を例として説明したが、本発明はP型の半導体基板でも同様に適用できる。

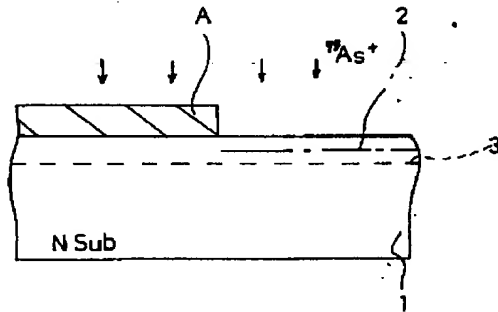
【0018】

【発明の効果】以上、本発明によれば通常のMOSトランジスタと同一工程で形成される高耐圧MOSトランジスタの高濃度ウェル中に最適なトランジスタ性能を有する高耐圧MOSトランジスタを形成できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の半導体装置の製造方法を示す第1の断面図である。

【図1】



1: N型の半導体基板 2: 第1のイオン注入領域
3: 第2のイオン注入領域 A: レジスト膜

6

【図2】本発明の一実施の形態の半導体装置の製造方法を示す第2の断面図である。

【図3】本発明の一実施の形態の半導体装置の製造方法を示す第3の断面図である。

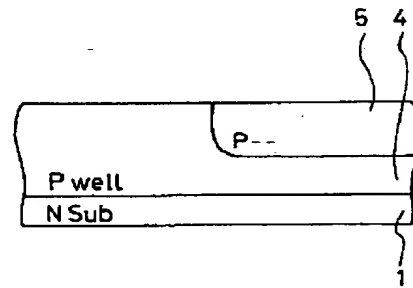
【図4】本発明の一実施の形態の半導体装置の製造方法を示す第4の断面図である。

【図5】本発明の半導体装置のA-A断面部の濃度プロファイルを示す図である。

【図6】本発明の他の実施の形態の半導体装置を示す断面図である。

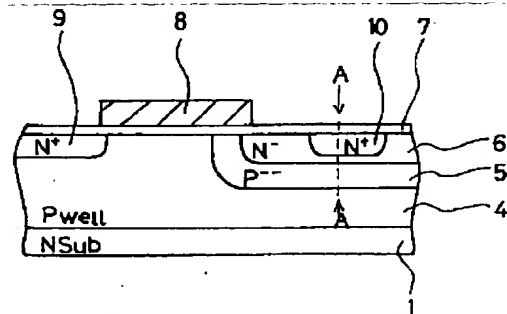
【図7】従来の半導体装置を示す断面図である。

【図2】



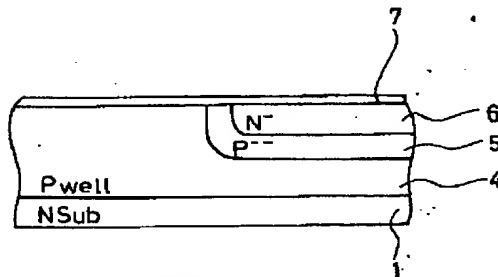
4: P型ウェル 5: P--型拡散層

【図4】



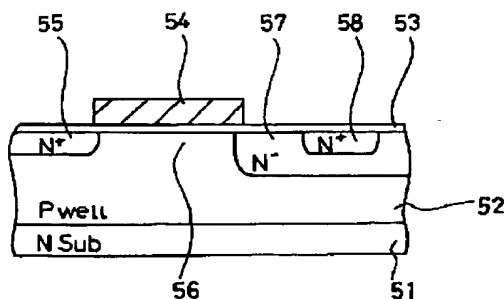
8: ゲート電極 9: N+型ソース拡散層
10: N+型ドレイン拡散層

【図3】

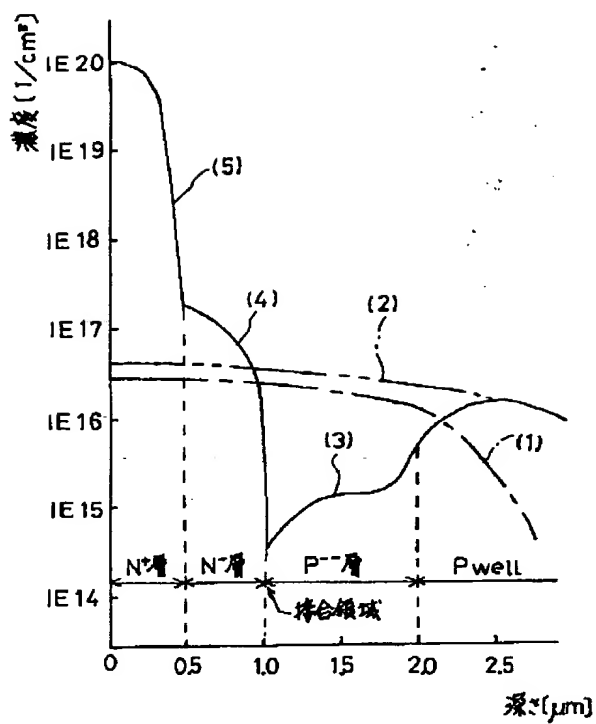


6: N+型ドレイン拡散層 7: ゲート絶縁膜

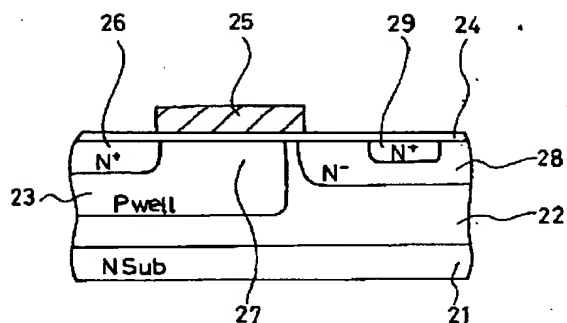
【図7】



【図5】



【図6】



- 21: N型の半導体基板
22: エピタキシャル層
23: P型ウェル
24: ゲート絶縁膜
25: ゲート電極
26: N⁺型ソース拡散層
27: チャンネル領域
28: N⁻型ドレイン拡散層
29: N⁺型ドレイン拡散層